**Diseño con lógica programable PLD.**

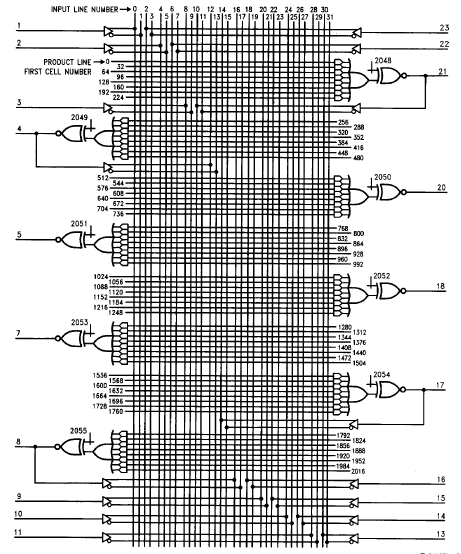
Ejercicio.

Estos generan el sistema de archivo para borrar los fusibles que activan los arreglos. Por ejemplo para la PAL1016P8 deseamos crear las funciones lógicas para detectar 4 variables DCBA.

1. Crear un multiplexor 2 a1. ES0\*+ES0 -> **Z MUX = ES0\* +ES0**
2. Agregar un detector de números mayores a 9. DC+ DB

El programa selecciona las entradas, salidas y construye los términos según se le indiquen las variables. Los fusibles que se **queman para hacer las conexiones Para ver a detalle usa zoom de 200.**

A D B C E0 E1 S0



**0 2 4 6 20 24 28**

Z= (0,20)(0,29)+

(32,24)(32,28)

X=

(512,2)(512,6)+

(544,2)(544,4)

X>=10

(0,3) (0,9)(0,4)(0,1)+

(32,3)(32,9)(32,4)(32,0)+

(64,3)(64,8)(64,5)(64,0)+

(96,3)(96,8)(96,4)(96,0)+

(128,2)(128,9)(128,4)(128,0)+

(160,2)(160,8)(160,5)(160,0)

**JEDEC LOGIC ARRAY CELL NUMBER=PRODUCT LINE FIRST CELL NUMBER + INPUT LINE NUMBER**

**Usando CUPL tenemos:**

Mapa de 4 variables. X=

**Z MUX = ES0\* +ES0**

1

1

1

1

1

1